

*Prise en main Quartus & logique combinatoire*

**Exercice 1 :** on considère un système de vote au directoire.

Le comité de direction d’une entreprise est constitué de 4 membres : le directeur D, ses 3 adjoints/associés A, B, C. Lors des réunions, les décisions sont prises à la majorité. Chaque personne dispose d’un interrupteur sur lequel elle appuie pour voter en cas d’accord avec le projet soumis au vote. En cas d’égalité du nombre de voix, celle du directeur compte double.

Réaliser un dispositif logique combinatoire permettant l’affichage du résultat du vote V sur une led ( allumée si la résolution est adoptée, éteinte si la résolution est rejetée).

1. Ecrire la table de vérité de la sortie V , puis la retranscrire dans un tableau de Karnaugh. Extraire l’équation logique de V à partir de la table de vérité puis à partir du tableau de Karnaugh.
2. Réaliser la description/programme VHDL de la fonction V . On produira 2 fois la sortie V ( V1 et V2 ) via les opérateurs logiques fondamentaux d’une part et via la structure de programmation *with select when* d’autre part.
3. Configurer le FPGA en considérant les contraintes d’entrées/sorties suivantes :

signaux (VHDL)	A	B	C	D	V1	V2
matériel (DE10 Lite)	sw0	sw1	sw2	sw3	ledr0	ledr1
borne (FPGA)	c10	c11	d12	c12	a8	a9

4. Réaliser la “conversion” de la description VHDL en un symbole schématique. Implanter alors à nouveau l’application de vote sous la forme d’un schéma logique graphique.

**Exercice 2 :** on considère une variante du système de vote au directoire de l’exercice 1 précédent. On considère désormais que le vote des associés est pondéré par leur détention d’actions de l’entreprise. A, B, C et D détiennent respectivement 60, 100, 160 et 180 actions. Le vote se fait toujours à la majorité des votes ainsi pondérés.

1. Reprendre la programmation du vote selon ce principe via les syntaxes VHDL suivantes : équation via *opérateurs fondamentaux*, style *with select when*, style *when else*, style via *process / if then else* et enfin via *process / case when*.
2. *Pour aller plus loin* ... essayer d’imaginer une structuration de programme permettant de définir/modifier facilement le nombre d’actions détenues par chaque votant... et par suite le poids de chaque vote. On considère pour cela que le nombre maximum d’actions détenues par un associé est de l’ordre du milliard d’actions soit un nombre codé sur 30 bits. La taille de ces nombres interdisant de fait l’idée de travailler avec des méthodes traditionnelles ( équations, TV, TK, ...)

**Exercice 3 :** on considère un afficheur 7 segments classique. Donner la description VHDL du transcodage vers l’hexadécimal. On conservera cette description VHDL qui pourra être utile à l’avenir. Tester le bon fonctionnement de ce transcodeur en exploitant les données suivantes issues de la documentation de la carte DE10-lite

signaux	n(3)	n(2)	n(1)	n(0)	s(7)	s(6)	s(5)	s(4)	s(3)	s(2)	s(1)	s(0)
matériel (DE10 Lite)	sw3	sw2	sw1	sw0	dp	seg_a	seg_b	seg_c	seg_d	seg_e	seg_f	seg_g
borne (FPGA)	c12	d12	c11	c10	d15	c14	e15	c15	c16	e16	d17	c17
note					3.3-V LVTTTL							