

Logique séquentielle synchrone ... compteurs et machines d'états
Descriptions structurelles hiérarchiques

Exercice 1 : on considère le transcodeur hexadécimal vers 7 segments du TP1

Exploiter cette fonction logique comme composant instancié en 6 exemplaires pour piloter les 6 afficheurs de la DE10 Lite. On pourra envisager plusieurs approche de réalisation sous Quartus (à défaut de toutes les tester)

- Composant dans le fichier principal (Top-level) en VHDL
 - Composant en schématique à partir de la description VHDL (prémisses de la mise en place de librairie de composants) pour un usage dans un fichier top-level en saisie de schéma
 - Composant en librairie VHDL, via fichier distinct du Top-level
1. Planter les 6 transcodeurs en présentant des valeurs numériques fixes à afficher selon le schéma synoptique ci-dessous. Tester le bon fonctionnement de l'affichage.

Exercice 2 : on reprend la base obtenue par l'exercice 1

1. Décrire le compteur cascable doté des signaux de contrôle tels qu'indiqué dans le schéma synoptique. On pourra s'aider de l'exemple général donné dans le photocopié de cours magistral. En faire un composant en librairie. Ajouter l'instanciation en 6 exemplaires de ce compteur selon le schéma ci-dessous en analysant la pertinence des paramétrages des compteurs.
2. Trouver le moyen de réaliser un diviseur de fréquence pour obtenir une horloge oscillant à quelques hertz ... ou 1 Hz si possible. Planter cette fonction selon le schéma synoptique
3. Décrire/planter la fonction logique combinatoire produisant le signal *endday*
4. Tester le bon fonctionnement de l'horloge.

Exercice 3 : on reprend la base obtenue par l'exercice 2

On cherche désormais à compléter le dispositif en ajoutant une machine d'état permettant d'obtenir un réveil... plus ou moins complet.

