

**Présentation du TP :** L'objectif du TP est de mener à bien un projet d'implantation d'un réveil dans un circuit logique programmable. Il permettra de vous confronter aux diverses techniques de base de l'implantation d'application sur logique programmable via le langage VHDL. En outre, il permettra de vérifier votre maîtrise du logiciel Quartus II et de la mise en oeuvre de la logique programmable sur FPGA. On utilisera la carte DE2-115 de Terasic dotée d'un FPGA Altera Cyclone IV EP4CE115F29C7 .

Le réveil sera décrit en VHDL pour un affichage de l'heure, au format hhhmss soit 6 digits, et ce sur 0-24 heures. On ajoutera un afficheur pour indiquer par un A si le réveil est armé pour sonner ou non.

L'indication au logiciel du choix du positionnement des broches se fait par le biais d'un fichier script TCL. La syntaxe pour envoyer un signal sur une broche spécifique du FPGA est la suivante :

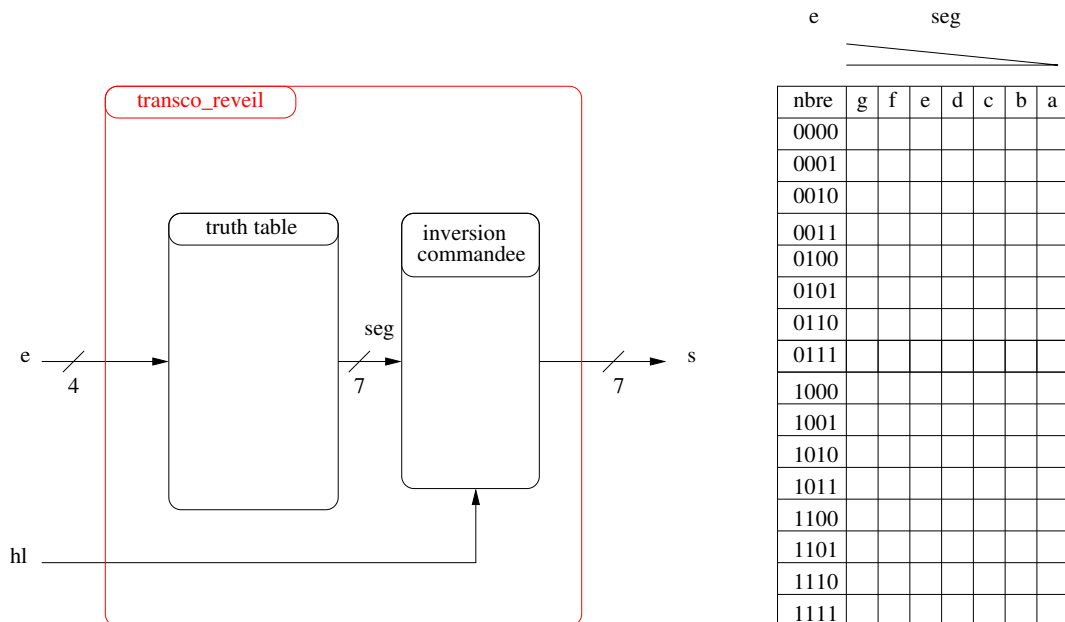
```
package require ::quartus::project
set_location_assignment PIN_Y2 -to clk
# ceci est un commentaire qui necessite un # au début de la ligne
# on demande donc d'envoyer le signal clk sur la broche Y2 du FPGA
```

Le script TCL devra être exécuté une fois au moins avant de compiler le projet. Il devra bien sûr être recompilé à chaque changement de son contenu, si l'on souhaite que ce changement soit pris en compte.

On vous donne en annexe un listing de script TCL sur lequel vous appuyer pour vos exercices. L'idée sera de mettre en commentaire certaines lignes et de laisser celles qui vous sont utiles valides.

**Exercice 1 : transcodeur (logique combinatoire)** On se propose de commencer par mettre en oeuvre le transcodeur qui va gérer les afficheurs 7 segments. On dessinera bien sûr les chiffres de 0 à 9 pour chaque nombre correspondant. On ajoutera le dessin du A pour la valeur 10 et on éteindra tous les segments pour les valeurs de 11 à 15.

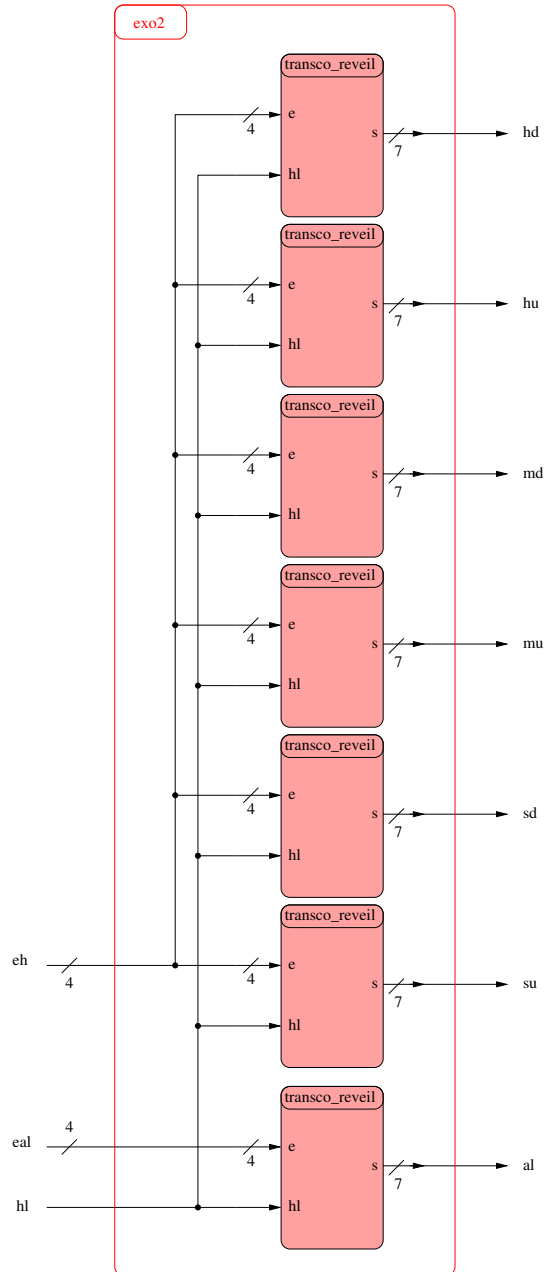
**Préparation :** remplir une table de vérité de ce transcodeur. Ne sachant pas, a priori, si on allume les segments par des 1 ou des 0 ( anode ou cathode commune ? ) , on choisit au hasard d'allumer les segments par des 1 . On ajoutera une deuxième fonction logique combinatoire à ce transcodeur pour inverser les sorties en fonction du positionnement d'une entrée supplémentaire nommée *h/l* . Le schéma synoptique est alors le suivant :



**TP :** Implanter le transcodeur en utilisant le style with select pour la table de vérité et un process pour l'inversion commandée dans le fichier *transco\_reveil.vhd*. Préparer le fichier script *exo1.tcl* en utilisant l'afficheur hex0, les 4 switch sw[3:0] pour l'entrée et le switch sw[17] pour l'entrée *hl* . Vous vous appuyerez sur les indications de la présentation du TP et l'annexe pour générer ce fichier. Exécuter le script puis compiler le projet. Télécharger sur la carte et vérifier le bon fonctionnement. Faites valider par l'enseignant. Conserver les 2 fichiers sur une clé usb, dans votre bureau virtuel ou sur un serveur type "cloud" pour les prochains TP.

**Exercice 2 : affichage\_reveil** On met ici en place l'affichage de l'heure complète, c'est à dire heures, minutes et secondes sur les afficheurs hex0 hex1 hex2 hex3 hex4 hex5. On ajoute ensuite l'affichage pour le A ( de Alarme ou Armé ) sur l'afficheur hex7. On choisit, pour tester l'application, d'envoyer la meme valeur d'entrée pour tous les afficheurs sauf pour celui du A. On organise la description VHDL sous la forme de **component** instanciés avec le style **port map**.

**TP :** Créer un nouveau projet et implanter cet affichage selon la figure ci-dessous en réutilisant les fichiers de l'exercice 1. Modifier le script .tcl en conséquence et l'exécuter avant de compiler le projet. Tester et faire valider par l'enseignant.

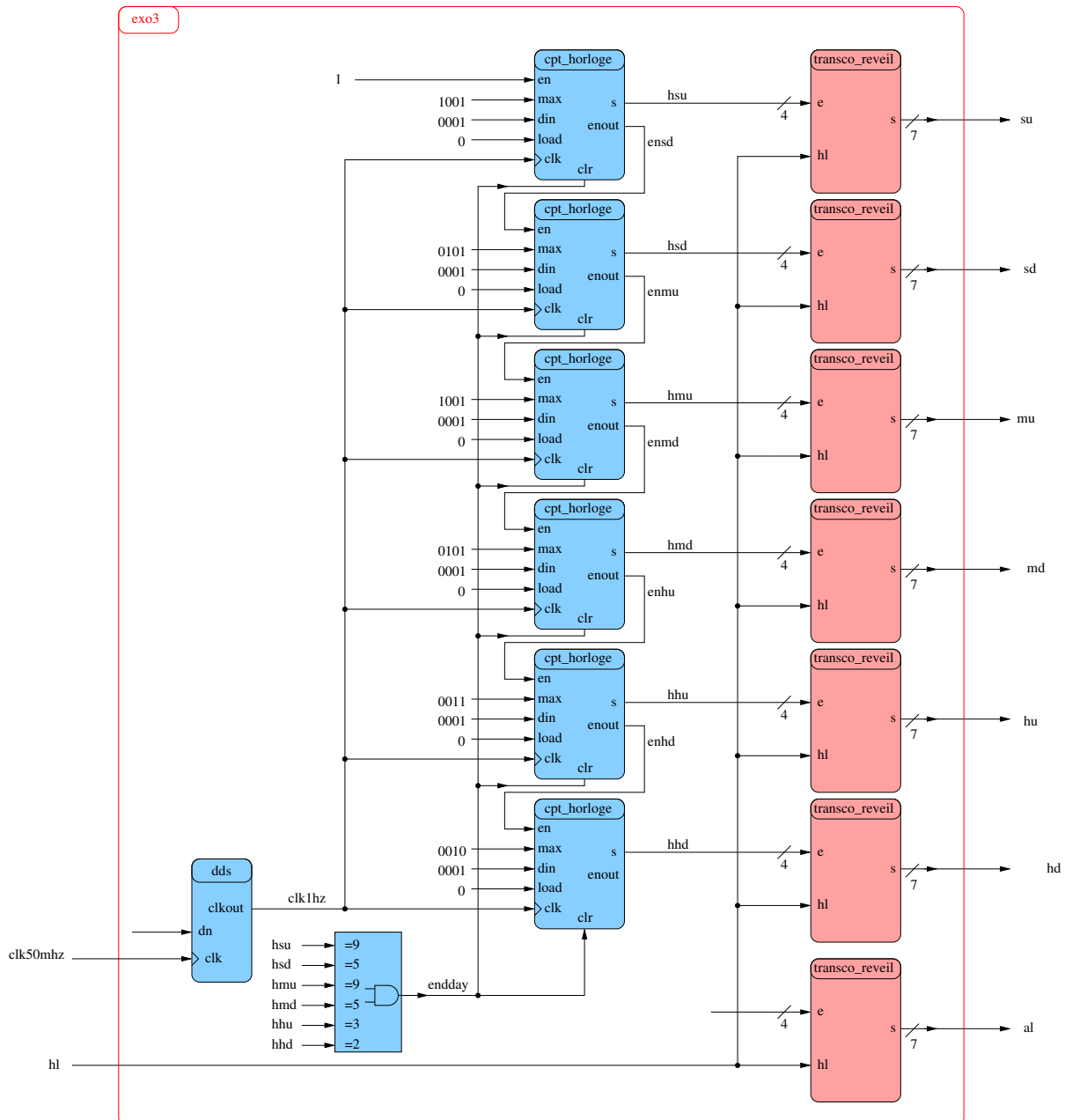


**Exercice 3 : horloge** On se propose maintenant de mettre en place les compteurs qui réalisent concrètement l'horloge. Ces compteurs doivent compter à la fréquence de 1Hz. En premier lieu, pour obtenir ce signal de référence à partir du quartz à 50Mhz de la carte, on met en place un composant nommé DDS ( programme VHDL **dds.vhd** fourni ) qui génère une fréquence proportionnelle à la fréquence d'entrée et à un coefficient  $d_n$  selon la formule suivante :  $f_{out} = f_{in} \cdot \frac{d_n}{2^{32}}$ . Les compteurs sont tous identiques à l'exception de la valeur maximale jusqu'à laquelle ils doivent compter. Ils sont placés en cascade pour compter les heures, les minutes et les secondes (pour chacun dizaines et unités, soit 6 compteurs)

**TP :**

- reprendre les programmes VHDL de l'exercice précédent et les insérer dans un nouveau projet.

- ajouter le fichier ***dds.vhd*** à votre projet et ajouter la description de ce composant ***dds*** au programme VHDL “top-level” - voir le modèle pour ***transco-reveil*** . De même, ajouter ensuite la description du composant ***cpt\_horloge***.
- Selon le schéma de la figure ci-dessous, implanter le ***dds*** dans l’architecture en fixant la valeur de ***dn*** pour obtenir non pas 1Hz mais 10Hz . Il s’agit de faire appel à l’instanciation de composant par ***port map*** .
- De même implanter dans l’architecture les 6 compteurs ***cpt\_horloge*** . ***A ce stade de la programmation , vous pouvez faire l’implantation des compteurs, même si ces derniers ne sont pas encore décrits dans leur fonctionnement (architecture).***
- Terminer en décrivant un ***process*** combinatoire pour piloter la réinitialisation des compteurs à 0 quand on est en fin de journée ( 23:59:59). ***Faire contrôler le principe de ce programme VHDL par l’enseignant.***
- Décrire ensuite dans un fichier VHDL annexe ( ***cpt\_horloge.vhd*** ) le comportement du compteur selon les contraintes suivantes :
  - la sortie ***enout*** est validée à 1 si l’entrée ***en*** vaut 1 avec la valeur du compteur qui est égale à sa valeur maximale autorisée.
  - la valeur du compteur , en sortie, évolue sur front montant d’horloge. Le comportement est le suivant :
    - \* si le signal ***clr*** est actif ( à 1) la valeur du compteur est forcée à zéro.
    - \* sinon si l’entrée ***en=1*** alors si l’entrée ***load=1*** alors on charge le compteur avec la valeur ***din*** sinon si le compteur est inférieur à sa valeur maximale (***max***) alors on l’incrémente de 1 sinon on force le compteur à 0.
- implanter l’ensemble sur la carte DE2-115, tester et faire vérifier le bon fonctionnement par l’enseignant.



## Annexe

**Tableau de correspondance Ressources/FPGA** Les principales ressources matérielles utilisées pour nos travaux sont : les horloges, les interrupteurs, les boutons poussoirs, les led, les afficheurs 7 segments, le connecteur de la liaison série, le connecteur VGA. Les noms des entrées/sorties, sont ceux de la documentation de la carte DE2-115 et correspondant à ce qui est indiqué en sérigraphie sur la carte. Dans les exercices, on utilise assez volontiers d'autres noms de signaux. On s'adaptera en conséquence...

Signal Name	FPGA pin No	Description
clock_50	Y2	50Mhz clock input
clock2_50	AG14	50Mhz clock input
clock3_50	AG15	50Mhz clock input
sw[0]	AB28	Slide Switch 0
sw[1]	AC28	Slide Switch 1
sw[2]	AC27	Slide Switch 2
sw[3]	AD27	Slide Switch 3
sw[4]	AB27	Slide Switch 4
sw[5]	AC26	Slide Switch 5
sw[6]	AD26	Slide Switch 6
sw[7]	AB26	Slide Switch 7
sw[8]	AC25	Slide Switch 8
sw[9]	AB25	Slide Switch 9
sw[10]	AC24	Slide Switch 10
sw[11]	AB24	Slide Switch 11
sw[12]	AB23	Slide Switch 12
sw[13]	AA24	Slide Switch 13
sw[14]	AA23	Slide Switch 14
sw[15]	AA22	Slide Switch 15
sw[16]	Y24	Slide Switch 16
sw[17]	Y23	Slide Switch 17
key[0]	M23	Push Button 0
key[1]	M21	Push Button 1
key[2]	N21	Push Button 2
key[3]	R24	Push Button 3
ledr[0]	G19	Led Red 0
ledr[1]	F19	Led Red 1
ledr[2]	E19	Led Red 2
ledr[3]	F21	Led Red 3
ledr[4]	F18	Led Red 4
ledr[5]	E18	Led Red 5
ledr[6]	J19	Led Red 6
ledr[7]	H19	Led Red 7
ledr[8]	J17	Led Red 8
ledr[9]	G17	Led Red 9
ledr[10]	J15	Led Red 10
ledr[11]	H16	Led Red 11
ledr[12]	J16	Led Red 12
ledr[13]	H17	Led Red 13
ledr[14]	F15	Led Red 14
ledr[15]	G15	Led Red 15
ledr[16]	G16	Led Red 16
ledr[17]	H15	Led Red 17
ledg[0]	E21	Led Green 0
ledg[1]	E22	Led Green 1
ledg[2]	E25	Led Green 2
ledg[3]	E24	Led Green 3
ledg[4]	H21	Led Green 4
ledg[5]	G20	Led Green 5
ledg[6]	G22	Led Green 6
ledg[7]	G21	Led Green 7
ledg[8]	F17	Led Green 8

Signal Name	FPGA pin No	Description
vga_r[0]	E12	vga red 0
vga_r[1]	E11	vga red 1
vga_r[2]	D10	vga red 2
vga_r[3]	F12	vga red 3
vga_r[4]	G10	vga red 4
vga_r[5]	J12	vga red 5
vga_r[6]	H8	vga red 6
vga_r[7]	H10	vga red 7
vga_g[0]	G8	vga green 0
vga_g[1]	G11	vga green 1
vga_g[2]	F8	vga green 2
vga_g[3]	H12	vga green 3
vga_g[4]	C8	vga green 4
vga_g[5]	B8	vga green 5
vga_g[6]	F10	vga green 6
vga_g[7]	C9	vga green 7
vga_b[0]	B10	vga blue 0
vga_b[1]	A10	vga blue 1
vga_b[2]	C11	vga blue 2
vga_b[3]	B11	vga blue 3
vga_b[4]	A11	vga blue 4
vga_b[5]	C12	vga blue 5
vga_b[6]	D11	vga blue 6
vga_b[7]	D12	vga blue 7
vga_clk	A12	vga clock
vga_blank_n	F11	vga blank
vga_hs	G13	horizontal sync
vga_vs	C13	vertical sync
vga_sync_n	C10	vga sync
I2C_sclk	B7	I2C clock
I2C_sdat	A8	I2C Data
UART_rxd	G12	UART Receiver
UART_txd	G9	UART Transmitter
UART_cts	G14	Clear to send
UART_rts	J13	Request to send
PS2_Clk	G6	PS/2 Clock
PS2_dat	H5	PS/2 Data
PS2_clk2	G5	2nd device
PS2_dat2	F5	2nd device
IRDA_rxd	Y15	IR receiver

Signal Name	FPGA pin No	Description
Hex0[0]	G18	segment a hex 0
Hex0[1]	F22	segment b hex 0
Hex0[2]	E17	segment c hex 0
Hex0[3]	L26	segment d hex 0
Hex0[4]	L25	segment e hex 0
Hex0[5]	J22	segment f hex 0
Hex0[6]	H22	segment g hex 0
Hex1[0]	M24	segment a hex 1
Hex1[1]	Y22	segment b hex 1
Hex1[2]	W21	segment c hex 1
Hex1[3]	W22	segment d hex 1
Hex1[4]	W25	segment e hex 1
Hex1[5]	U23	segment f hex 1
Hex1[6]	U24	segment g hex 1
Hex2[0]	AA25	segment a hex 2
Hex2[1]	AA26	segment b hex 2
Hex2[2]	Y25	segment c hex 2
Hex2[3]	W26	segment d hex 2
Hex2[4]	Y26	segment e hex 2
Hex2[5]	W27	segment f hex 2
Hex2[6]	W28	segment g hex 2
Hex3[0]	V21	segment a hex 3
Hex3[1]	U21	segment b hex 3
Hex3[2]	AB20	segment c hex 3
Hex3[3]	AA21	segment d hex 3
Hex3[4]	AD24	segment e hex 3
Hex3[5]	AF23	segment f hex 3
Hex3[6]	Y19	segment g hex 3
Hex4[0]	AB19	segment a hex 4
Hex4[1]	AA19	segment b hex 4
Hex4[2]	AG21	segment c hex 4
Hex4[3]	AH21	segment d hex 4
Hex4[4]	AE19	segment e hex 4
Hex4[5]	AF19	segment f hex 4
Hex4[6]	AE18	segment g hex 4
Hex5[0]	AD18	segment a hex 5
Hex5[1]	AC18	segment b hex 5
Hex5[2]	AB18	segment c hex 5
Hex5[3]	AH19	segment d hex 5
Hex5[4]	AG19	segment e hex 5
Hex5[5]	AF18	segment f hex 5
Hex5[6]	AH18	segment g hex 5
Hex6[0]	AA17	segment a hex 6
Hex6[1]	AB16	segment b hex 6
Hex6[2]	AA16	segment c hex 6
Hex6[3]	AB17	segment d hex 6
Hex6[4]	AB15	segment e hex 6
Hex6[5]	AA15	segment f hex 6
Hex6[6]	AC17	segment g hex 6
Hex7[0]	AD17	segment a hex 7
Hex7[1]	AE17	segment b hex 7
Hex7[2]	AG17	segment c hex 7
Hex7[3]	AH17	segment d hex 7
Hex7[4]	AF17	segment e hex 7
Hex7[5]	AG18	segment f hex 7
Hex7[6]	AA14	segment g hex 7

fichier .csv de la carte altera complète *Attention, les noms des signaux d'entrée/sortie sont ceux de la carte, que l'on retrouve dans les tableaux ci-dessus. Il faudra adapter ces noms à ceux de votre*

*application*

# Quartus II Version 5.1 Internal Build 160 09/19/2005 TO Full Version,  
# File: D:\de2\_pins\de2\_pins.csv,  
# Generated on: Wed Sep 28 09:40:34 2005,  
# Note: The column header names should not be changed if you wish to import this .csv file into the Quartus II software.,

**To,Location**

SW[0],PIN\_N25  
SW[1],PIN\_N26  
SW[2],PIN\_P25  
SW[3],PIN\_AE14  
SW[4],PIN\_AF14  
SW[5],PIN\_AD13  
SW[6],PIN\_AC13  
SW[7],PIN\_C13  
SW[8],PIN\_B13  
SW[9],PIN\_A13  
SW[10],PIN\_N1  
SW[11],PIN\_P1  
SW[12],PIN\_P2  
SW[13],PIN\_T7  
SW[14],PIN\_U3  
SW[15],PIN\_U4  
SW[16],PIN\_V1  
SW[17],PIN\_V2  
DRAM\_ADDR[0],PIN\_T6  
DRAM\_ADDR[1],PIN\_V4  
DRAM\_ADDR[2],PIN\_V3  
DRAM\_ADDR[3],PIN\_W2  
DRAM\_ADDR[4],PIN\_W1  
DRAM\_ADDR[5],PIN\_U6  
DRAM\_ADDR[6],PIN\_U7  
DRAM\_ADDR[7],PIN\_U5  
DRAM\_ADDR[8],PIN\_W4  
DRAM\_ADDR[9],PIN\_W3  
DRAM\_ADDR[10],PIN\_Y1  
DRAM\_ADDR[11],PIN\_V5  
DRAM\_BA\_0,PIN\_AE2  
DRAM\_BA\_1,PIN\_AE3

DRAM\_CAS\_N,PIN\_AB3  
DRAM\_CKE,PIN\_AA6  
DRAM\_CLK,PIN\_AA7  
DRAM\_CS\_N,PIN\_AC3  
DRAM\_DQ[0],PIN\_V6  
DRAM\_DQ[1],PIN\_AA2  
DRAM\_DQ[2],PIN\_AA1  
DRAM\_DQ[3],PIN\_Y3  
DRAM\_DQ[4],PIN\_Y4  
DRAM\_DQ[5],PIN\_R8  
DRAM\_DQ[6],PIN\_T8  
DRAM\_DQ[7],PIN\_V7  
DRAM\_DQ[8],PIN\_W6  
DRAM\_DQ[9],PIN\_AB2  
DRAM\_DQ[10],PIN\_AB1  
DRAM\_DQ[11],PIN\_AA4  
DRAM\_DQ[12],PIN\_AA3  
DRAM\_DQ[13],PIN\_AC2  
DRAM\_DQ[14],PIN\_AC1  
DRAM\_DQ[15],PIN\_AA5  
DRAM\_LDQM,PIN\_AD2  
DRAM\_UDQM,PIN\_Y5  
DRAM\_RAS\_N,PIN\_AB4  
DRAM\_WE\_N,PIN\_AD3  
FL\_ADDR[0],PIN\_AC18  
FL\_ADDR[1],PIN\_AB18  
FL\_ADDR[2],PIN\_AE19  
FL\_ADDR[3],PIN\_AF19  
FL\_ADDR[4],PIN\_AE18  
FL\_ADDR[5],PIN\_AF18  
FL\_ADDR[6],PIN\_Y16  
FL\_ADDR[7],PIN\_AA16  
FL\_ADDR[8],PIN\_AD17  
FL\_ADDR[9],PIN\_AC17  
FL\_ADDR[10],PIN\_AE17  
FL\_ADDR[11],PIN\_AF17  
FL\_ADDR[12],PIN\_W16  
FL\_ADDR[13],PIN\_W15  
FL\_ADDR[14],PIN\_AC16



FL\_ADDR[15],PIN\_AD16  
FL\_ADDR[16],PIN\_AE16  
FL\_ADDR[17],PIN\_AC15  
FL\_ADDR[18],PIN\_AB15  
FL\_ADDR[19],PIN\_AA15  
FL\_ADDR[20],PIN\_Y15  
FL\_ADDR[21],PIN\_Y14  
FL\_CE\_N,PIN\_V17  
FL\_OE\_N,PIN\_W17  
FL\_DQ[0],PIN\_AD19  
FL\_DQ[1],PIN\_AC19  
FL\_DQ[2],PIN\_AF20  
FL\_DQ[3],PIN\_AE20  
FL\_DQ[4],PIN\_AB20  
FL\_DQ[5],PIN\_AC20  
FL\_DQ[6],PIN\_AF21  
FL\_DQ[7],PIN\_AE21  
FL\_RST\_N,PIN\_AA18  
FL\_WE\_N,PIN\_AA17  
HEX0[0],PIN\_AF10  
HEX0[1],PIN\_AB12  
HEX0[2],PIN\_AC12  
HEX0[3],PIN\_AD11  
HEX0[4],PIN\_AE11  
HEX0[5],PIN\_V14  
HEX0[6],PIN\_V13  
HEX1[0],PIN\_V20  
HEX1[1],PIN\_V21  
HEX1[2],PIN\_W21  
HEX1[3],PIN\_Y22  
HEX1[4],PIN\_AA24  
HEX1[5],PIN\_AA23  
HEX1[6],PIN\_AB24  
HEX2[0],PIN\_AB23  
HEX2[1],PIN\_V22  
HEX2[2],PIN\_AC25  
HEX2[3],PIN\_AC26  
HEX2[4],PIN\_AB26  
HEX2[5],PIN\_AB25

HEX 2[6],PIN \_ Y24  
HEX 3[0],PIN \_ Y23  
HEX 3[1],PIN \_ AA 25  
HEX 3[2],PIN \_ AA 26  
HEX 3[3],PIN \_ Y26  
HEX 3[4],PIN \_ Y25  
HEX 3[5],PIN \_ U22  
HEX 3[6],PIN \_ W24  
HEX 4[0],PIN \_ U9  
HEX 4[1],PIN \_ U1  
HEX 4[2],PIN \_ U2  
HEX 4[3],PIN \_ T4  
HEX 4[4],PIN \_ R7  
HEX 4[5],PIN \_ R6  
HEX 4[6],PIN \_ T3  
HEX 5[0],PIN \_ T2  
HEX 5[1],PIN \_ P6  
HEX 5[2],PIN \_ P7  
HEX 5[3],PIN \_ T9  
HEX 5[4],PIN \_ R5  
HEX 5[5],PIN \_ R4  
HEX 5[6],PIN \_ R3  
HEX 6[0],PIN \_ R2  
HEX 6[1],PIN \_ P4  
HEX 6[2],PIN \_ P3  
HEX 6[3],PIN \_ M2  
HEX 6[4],PIN \_ M3  
HEX 6[5],PIN \_ M5  
HEX 6[6],PIN \_ M4  
HEX 7[0],PIN \_ L3  
HEX 7[1],PIN \_ L2  
HEX 7[2],PIN \_ L9  
HEX 7[3],PIN \_ L6  
HEX 7[4],PIN \_ L7  
HEX 7[5],PIN \_ P9  
HEX 7[6],PIN \_ N9  
KEY[0],PIN \_ G26  
KEY[1],PIN \_ N23  
KEY[2],PIN \_ P23

KEY[3],PIN\_W26  
LEDR[0],PIN\_AE23  
LEDR[1],PIN\_AF23  
LEDR[2],PIN\_AB21  
LEDR[3],PIN\_AC22  
LEDR[4],PIN\_AD22  
LEDR[5],PIN\_AD23  
LEDR[6],PIN\_AD21  
LEDR[7],PIN\_AC21  
LEDR[8],PIN\_AA14  
LEDR[9],PIN\_Y13  
LEDR[10],PIN\_AA13  
LEDR[11],PIN\_AC14  
LEDR[12],PIN\_AD15  
LEDR[13],PIN\_AE15  
LEDR[14],PIN\_AF13  
LEDR[15],PIN\_AE13  
LEDR[16],PIN\_AE12  
LEDR[17],PIN\_AD12  
LEDG[0],PIN\_AE22  
LEDG[1],PIN\_AF22  
LEDG[2],PIN\_W19  
LEDG[3],PIN\_V18  
LEDG[4],PIN\_U18  
LEDG[5],PIN\_U17  
LEDG[6],PIN\_AA20  
LEDG[7],PIN\_Y18  
LEDG[8],PIN\_Y12  
CLOCK\_27,PIN\_D13  
CLOCK\_50,PIN\_N2  
EXT\_CLOCK,PIN\_P26  
PS2\_CLK,PIN\_D26  
PS2\_DAT,PIN\_C24  
UART\_RXD,PIN\_C25  
UART\_TXD,PIN\_B25  
LCD\_RW,PIN\_K4  
LCD\_EN,PIN\_K3  
LCD\_RS,PIN\_K1  
LCD\_DATA[0],PIN\_J1

LCD\_DATA[1],PIN\_J2  
LCD\_DATA[2],PIN\_H1  
LCD\_DATA[3],PIN\_H2  
LCD\_DATA[4],PIN\_J4  
LCD\_DATA[5],PIN\_J3  
LCD\_DATA[6],PIN\_H4  
LCD\_DATA[7],PIN\_H3  
LCD\_ON,PIN\_L4  
LCD\_BLON,PIN\_K2  
SRAM\_ADDR[0],PIN\_AE4  
SRAM\_ADDR[1],PIN\_AF4  
SRAM\_ADDR[2],PIN\_AC5  
SRAM\_ADDR[3],PIN\_AC6  
SRAM\_ADDR[4],PIN\_AD4  
SRAM\_ADDR[5],PIN\_AD5  
SRAM\_ADDR[6],PIN\_AE5  
SRAM\_ADDR[7],PIN\_AF5  
SRAM\_ADDR[8],PIN\_AD6  
SRAM\_ADDR[9],PIN\_AD7  
SRAM\_ADDR[10],PIN\_V10  
SRAM\_ADDR[11],PIN\_V9  
SRAM\_ADDR[12],PIN\_AC7  
SRAM\_ADDR[13],PIN\_W8  
SRAM\_ADDR[14],PIN\_W10  
SRAM\_ADDR[15],PIN\_Y10  
SRAM\_ADDR[16],PIN\_AB8  
SRAM\_ADDR[17],PIN\_AC8  
SRAM\_DQ[0],PIN\_AD8  
SRAM\_DQ[1],PIN\_AE6  
SRAM\_DQ[2],PIN\_AF6  
SRAM\_DQ[3],PIN\_AA9  
SRAM\_DQ[4],PIN\_AA10  
SRAM\_DQ[5],PIN\_AB10  
SRAM\_DQ[6],PIN\_AA11  
SRAM\_DQ[7],PIN\_Y11  
SRAM\_DQ[8],PIN\_AE7  
SRAM\_DQ[9],PIN\_AF7  
SRAM\_DQ[10],PIN\_AE8  
SRAM\_DQ[11],PIN\_AF8

SRAM\_DQ[12],PIN\_W11  
SRAM\_DQ[13],PIN\_W12  
SRAM\_DQ[14],PIN\_AC9  
SRAM\_DQ[15],PIN\_AC10  
SRAM\_WE\_N,PIN\_AE10  
SRAM\_OE\_N,PIN\_AD10  
SRAM\_UB\_N,PIN\_AF9  
SRAM\_LB\_N,PIN\_AE9  
SRAM\_CE\_N,PIN\_AC11  
OTG\_ADDR[0],PIN\_K7  
OTG\_ADDR[1],PIN\_F2  
OTG\_CS\_N,PIN\_F1  
OTG\_RD\_N,PIN\_G2  
OTG\_WR\_N,PIN\_G1  
OTG\_RST\_N,PIN\_G5  
OTG\_DATA[0],PIN\_F4  
OTG\_DATA[1],PIN\_D2  
OTG\_DATA[2],PIN\_D1  
OTG\_DATA[3],PIN\_F7  
OTG\_DATA[4],PIN\_J5  
OTG\_DATA[5],PIN\_J8  
OTG\_DATA[6],PIN\_J7  
OTG\_DATA[7],PIN\_H6  
OTG\_DATA[8],PIN\_E2  
OTG\_DATA[9],PIN\_E1  
OTG\_DATA[10],PIN\_K6  
OTG\_DATA[11],PIN\_K5  
OTG\_DATA[12],PIN\_G4  
OTG\_DATA[13],PIN\_G3  
OTG\_DATA[14],PIN\_J6  
OTG\_DATA[15],PIN\_K8  
OTG\_INT0,PIN\_B3  
OTG\_INT1,PIN\_C3  
OTG\_DACK0\_N,PIN\_C2  
OTG\_DACK1\_N,PIN\_B2  
OTG\_DREQ0,PIN\_F6  
OTG\_DREQ1,PIN\_E5  
OTG\_FSPEED,PIN\_F3  
OTG\_LSPEED,PIN\_G6

TDI,PIN\_B14  
TCS,PIN\_A14  
TCK,PIN\_D14  
TDO,PIN\_F14  
TD\_RESET,PIN\_C4  
VGA\_R[0],PIN\_C8  
VGA\_R[1],PIN\_F10  
VGA\_R[2],PIN\_G10  
VGA\_R[3],PIN\_D9  
VGA\_R[4],PIN\_C9  
VGA\_R[5],PIN\_A8  
VGA\_R[6],PIN\_H11  
VGA\_R[7],PIN\_H12  
VGA\_R[8],PIN\_F11  
VGA\_R[9],PIN\_E10  
VGA\_G[0],PIN\_B9  
VGA\_G[1],PIN\_A9  
VGA\_G[2],PIN\_C10  
VGA\_G[3],PIN\_D10  
VGA\_G[4],PIN\_B10  
VGA\_G[5],PIN\_A10  
VGA\_G[6],PIN\_G11  
VGA\_G[7],PIN\_D11  
VGA\_G[8],PIN\_E12  
VGA\_G[9],PIN\_D12  
VGA\_B[0],PIN\_J13  
VGA\_B[1],PIN\_J14  
VGA\_B[2],PIN\_F12  
VGA\_B[3],PIN\_G12  
VGA\_B[4],PIN\_J10  
VGA\_B[5],PIN\_J11  
VGA\_B[6],PIN\_C11  
VGA\_B[7],PIN\_B11  
VGA\_B[8],PIN\_C12  
VGA\_B[9],PIN\_B12  
VGA\_CLK,PIN\_B8  
VGA\_BLANK,PIN\_D6  
VGA\_HS,PIN\_A7  
VGA\_VS,PIN\_D8

VGA\_SYNC,PIN\_B7  
I2C\_SCLK,PIN\_A6  
I2C\_SDAT,PIN\_B6  
TD\_DATA[0],PIN\_J9  
TD\_DATA[1],PIN\_E8  
TD\_DATA[2],PIN\_H8  
TD\_DATA[3],PIN\_H10  
TD\_DATA[4],PIN\_G9  
TD\_DATA[5],PIN\_F9  
TD\_DATA[6],PIN\_D7  
TD\_DATA[7],PIN\_C7  
TD\_HS,PIN\_D5  
TD\_VS,PIN\_K9  
AUD\_ADCLRCK,PIN\_C5  
AUD\_ADCDAT,PIN\_B5  
AUD\_DACLK,PIN\_C6  
AUD\_DACDAT,PIN\_A4  
AUD\_XCK,PIN\_A5  
AUD\_BCLK,PIN\_B4  
ENET\_DATA[0],PIN\_D17  
ENET\_DATA[1],PIN\_C17  
ENET\_DATA[2],PIN\_B18  
ENET\_DATA[3],PIN\_A18  
ENET\_DATA[4],PIN\_B17  
ENET\_DATA[5],PIN\_A17  
ENET\_DATA[6],PIN\_B16  
ENET\_DATA[7],PIN\_B15  
ENET\_DATA[8],PIN\_B20  
ENET\_DATA[9],PIN\_A20  
ENET\_DATA[10],PIN\_C19  
ENET\_DATA[11],PIN\_D19  
ENET\_DATA[12],PIN\_B19  
ENET\_DATA[13],PIN\_A19  
ENET\_DATA[14],PIN\_E18  
ENET\_DATA[15],PIN\_D18  
ENET\_CLK,PIN\_B24  
ENET\_CMD,PIN\_A21  
ENET\_CS\_N,PIN\_A23  
ENET\_INT,PIN\_B21

ENET\_RD\_N,PIN\_A22  
ENET\_WR\_N,PIN\_B22  
ENET\_RST\_N,PIN\_B23  
IRDA\_TXD,PIN\_AE24  
IRDA\_RXD,PIN\_AE25  
SD\_DAT,PIN\_AD24  
SD\_DAT3,PIN\_AC23  
SD\_CMD,PIN\_Y21  
SD\_CLK,PIN\_AD25  
GPIO\_0[0],PIN\_D25  
GPIO\_0[1],PIN\_J22  
GPIO\_0[2],PIN\_E26  
GPIO\_0[3],PIN\_E25  
GPIO\_0[4],PIN\_F24  
GPIO\_0[5],PIN\_F23  
GPIO\_0[6],PIN\_J21  
GPIO\_0[7],PIN\_J20  
GPIO\_0[8],PIN\_F25  
GPIO\_0[9],PIN\_F26  
GPIO\_0[10],PIN\_N18  
GPIO\_0[11],PIN\_P18  
GPIO\_0[12],PIN\_G23  
GPIO\_0[13],PIN\_G24  
GPIO\_0[14],PIN\_K22  
GPIO\_0[15],PIN\_G25  
GPIO\_0[16],PIN\_H23  
GPIO\_0[17],PIN\_H24  
GPIO\_0[18],PIN\_J23  
GPIO\_0[19],PIN\_J24  
GPIO\_0[20],PIN\_H25  
GPIO\_0[21],PIN\_H26  
GPIO\_0[22],PIN\_H19  
GPIO\_0[23],PIN\_K18  
GPIO\_0[24],PIN\_K19  
GPIO\_0[25],PIN\_K21  
GPIO\_0[26],PIN\_K23  
GPIO\_0[27],PIN\_K24  
GPIO\_0[28],PIN\_L21  
GPIO\_0[29],PIN\_L20



GPIO\_0[30],PIN\_J25  
GPIO\_0[31],PIN\_J26  
GPIO\_0[32],PIN\_L23  
GPIO\_0[33],PIN\_L24  
GPIO\_0[34],PIN\_L25  
GPIO\_0[35],PIN\_L19  
GPIO\_1[0],PIN\_K25  
GPIO\_1[1],PIN\_K26  
GPIO\_1[2],PIN\_M22  
GPIO\_1[3],PIN\_M23  
GPIO\_1[4],PIN\_M19  
GPIO\_1[5],PIN\_M20  
GPIO\_1[6],PIN\_N20  
GPIO\_1[7],PIN\_M21  
GPIO\_1[8],PIN\_M24  
GPIO\_1[9],PIN\_M25  
GPIO\_1[10],PIN\_N24  
GPIO\_1[11],PIN\_P24  
GPIO\_1[12],PIN\_R25  
GPIO\_1[13],PIN\_R24  
GPIO\_1[14],PIN\_R20  
GPIO\_1[15],PIN\_T22  
GPIO\_1[16],PIN\_T23  
GPIO\_1[17],PIN\_T24  
GPIO\_1[18],PIN\_T25  
GPIO\_1[19],PIN\_T18  
GPIO\_1[20],PIN\_T21  
GPIO\_1[21],PIN\_T20  
GPIO\_1[22],PIN\_U26  
GPIO\_1[23],PIN\_U25  
GPIO\_1[24],PIN\_U23  
GPIO\_1[25],PIN\_U24  
GPIO\_1[26],PIN\_R19  
GPIO\_1[27],PIN\_T19  
GPIO\_1[28],PIN\_U20  
GPIO\_1[29],PIN\_U21  
GPIO\_1[30],PIN\_V26  
GPIO\_1[31],PIN\_V25  
GPIO\_1[32],PIN\_V24  
GPIO\_1[33],PIN\_V23  
GPIO\_1[34],PIN\_W25  
GPIO\_1[35],PIN\_W23